

#3/ Priority
Pages
11/7/01
VS
PATENT
0465-0751P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: KIM, Ha Zoong Conf.:
Appl. No.: New Group:
Filed: March 29, 2001 Examiner:
For: SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME



L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

March 29, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):


<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
KOREA	2000-23273	May 1, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Gary D. Yacura, #35,416

GDY/smp
0465-0751P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment

KIM, Ha Zoong

March 29, 2001

BSKB 703.205-8000

0465-0751P

1 of 1

J1002 U.S. PRO
09/820217

03/29/01



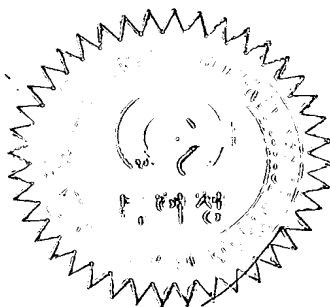
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 2000년 제 23273 호
Application Number

출원 년 월 일 : 2000년 05월 01일
Date of Application

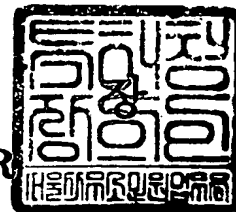
출원인 : 현대전자산업주식회사
Applicant(s)



2000 년 06 월 21 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2000.05.01
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자 및 그의 제조 방법
【발명의 영문명칭】	Semiconductor Device and Method for fabricating the same
【출원인】	
【명칭】	현대전자산업 주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강용복
【대리인코드】	9-1998-000048-4
【포괄위임등록번호】	1999-057814-0
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-057815-7
【발명자】	
【성명의 국문표기】	김하중
【성명의 영문표기】	KIM, Hazoong
【주민등록번호】	671128-1229516
【우편번호】	445-920
【주소】	경기도 화성군 향남면 상신2리 788번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강용복 (인) 대리인 김용인 (인)
【수수료】	
【기본출원료】	13 면 29,000 원
【가산출원료】	0 면 0 원

【우선권주장료】	0	건	0	원
【심사청구료】	5	항	269,000	원
【합계】	298,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 소자 제조 공정중에 발생하는 플라즈마 충전 데미지(plasma charging damage)를 감소시키기 위한 반도체 소자 및 그의 제조 방법에 관한 것으로, 그 구조는 제 1 도전형의 반도체 기판;상기 반도체 기판에 형성되는 칩들의 개별화 공정시에 그 분리 영역이되는 스크라이브 라인 영역;상기 스크라이브 라인 영역을 제외한 칩 영역들의 전체에 형성되는 제 2 도전형의 딥 웰 영역;상기 딥 웰 영역내에 형성되는 제 2 도전형의 웰 영역 또는 제 1 도전형의 웰 영역들을 포함하여 구성된다.

【대표도】

도 3

【색인어】

딥 웰 영역,소자 격리

【명세서】**【발명의 명칭】**

반도체 소자 및 그의 제조 방법{Semiconductor Device and Method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래 기술의 반도체 소자의 구조 및 플라즈마 차징에 의한 전류 경로를 나타낸 단면도

도 2는 본 발명에 따른 칩 격리 방법을 적용하기 위한 웨이퍼 평면 구성도

도 3은 본 발명에 따른 반도체 소자의 구조 및 플라즈마 차징에 의한 전류 경로를 나타낸 단면도

도면의 주요 부분에 대한 부호의 설명

- | | |
|-------------|-----------------|
| 21. 웨이퍼 | 22. 스크라이브 라인 영역 |
| 23. 칩 형성 영역 | 24. 플라즈마 |
| 25. p형 웰 | 26. n형 웰 |
| 27. 딥 n형 웰 | 28. 차단된 전류 경로 |
| 29. 반도체 기판 | |

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자의 격리에 관한 것으로, 특히 소자 제조 공정중에 발생하는

플라즈마 충전 데미지(plasma charging damage)를 감소시키기 위한 반도체 소자 및 그의 제조 방법에 관한 것이다.

- <11> 도 1은 종래 기술의 반도체 소자의 구조 및 플라즈마 충전에 의한 전류 경로를 나타낸 단면도이다.
- <12> 도 1은 p형 반도체 기판에 웰을 형성하는 경우의 단면 구성을 나타낸 것으로 트윈 웰 형성시에 p형 반도체 기판(2)에 n형 웰(4)이 필요한 곳에만 선택적으로 형성된다.
- <13> 그리고 트리플 웰 구조에서는 선택적으로 딥 n형 웰(5)이 형성된후 딥 n형 웰(5)내에 p형 웰(3)이 형성된다.
- <14> 그러므로 트윈웰 또는 트리플 웰의 어느 경우이나 제조 공정중에 사용되는 플라즈마(1) 충전에 의한 전류 경로가 다음과 같이 구성된다.
- <15> p형 웰(3)-p sub(2)-p형 웰(3) 또는 p형 웰(3)-p sub(2)-n형 웰(4)로 구성된다.
- <16> 이와 같은 전류 경로의 중간에 게이트 산화막을 포함하는 소자 예를들면, MOSFET가 존재한다면 이들 소자의 게이트 산화막은 플라즈마(1) 충전에 의한 데미지를 입을 수 있다.
- <17> 일반적으로 플라즈마 장비를 이용하여 반도체 소자 제조 공정을 진행하는 경우 예를들면, 게이트 패터닝을 위한 식각 공정, 금속 식각, ILD(InterLayer Dielectric) 공정, IMD(Inter Metal Dielectric) 공정 P/R 애싱(ashing)을 진행할때 장비의 특성에 관계된 플라즈마(1) 상태의 전하 불균일로 인하여 공정 진행중에 게이트 산화막에 전압이 인가된다.
- <18> 플라즈마의 전하 불균일은 웨이퍼상에서의 트랜지스터의 위치에 따라 게이트에 서

로 다른 양의 전하가 쌓이게 만들고 이들 게이트에 쌓인 전하는 MOS 커패시터에서 게이트 산화막에 전압을 유도한다.

<19> 이러한 전압은 게이트 산화막을 통하여 FN(Fowler Nordheim) 터널링 전류가 흐르게 하는 원인이된다.

<20> 이와 같이 게이트 산화막을 통하여 흐르는 전류는 게이트 산화막에 비가역적인 데미지를 주게된다.

<21> 게이트 산화막에 가해지는 데미지는 게이트 산화막이 절연체로서 갖는 특성을 파괴시키거나 저하시키므로써 트랜지스터가 정상적으로 동작하지 못하게 하는데 이를 플라즈마 충전 데미지(plasma charging damage) 효과라 한다.

<22> 예를들어 웨이퍼상에서 어느 부분에서는 (-)전하 밀도가 높고 다른 부분에서는 (+)전하 밀도가 높다면 도 1의 (6) 또는 (7)과 같은 전류 경로가 형성되어 전류가 흐르게 된다.

<23> 통상적으로 한 칩내에서는 각각의 트랜지스터들이 지리적으로 가까이 위치하고 있으므로 이들 게이트들에 쌓이는 전하 밀도의 차이는 서로 다른 칩들에 위치하는 트랜지스터간의 게이트 전하 밀도의 차이에 비해 상대적으로 매우 작다.

<24> 그러므로 대부분의 플라즈마 충전 데미지는 동일 칩 또는 인접한 칩간에 형성된 전류 경로에 의해 일어나는 것이 아니고 비교적 먼거리에 있는 칩 들사이에 형성된 전류 경로를 통하여 발생된다.

<25> 이와 같은 p형 반도체 기판이 아닌 n형 반도체 기판을 사용하는 경우에도 도전형만 다르고 동일한 플라즈마 충전 데미지 효과를 갖는다.

【발명이 이루고자 하는 기술적 과제】

- <26> 이와 같은 종래 기술의 반도체 소자는 다음과 같은 문제가 있다.
- <27> 서로 다른 칩 형성 영역에 존재하는 웰들 간에 전류 경로가 형성될 수 있어 소자 제조 공정중에 플라즈마에 의한 차지에 의해 게이트 산화막의 열화가 발생할 수 있다.
- <28> 이와 같은 게이트 산화막의 열화는 게이트 산화막이 절연체로서 갖는 특성을 파괴시키거나 저하시키므로써 트랜지스터가 정상적으로 동작하지 못하게 하여 소자의 신뢰성을 저하시킨다.
- <29> 본 발명은 이와 같은 종래 기술의 반도체 소자의 문제를 해결하기 위한 것으로, 소자 제조 공정중에 발생하는 플라즈마 차징 데미지(plasma charging damage)를 감소시키기 위한 반도체 소자 및 그의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <30> 이와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자는 제 1 도전형의 반도체 기판;상기 반도체 기판에 형성되는 칩들의 개별화 공정시에 그 분리 영역이되는 스크라이브 라인 영역;상기 스크라이브 라인 영역을 제외한 칩 영역들의 전체에 형성되는 제 2 도전형의 딥 웰 영역;상기 딥 웰 영역내에 형성되는 제 2 도전형의 웰 영역 또는 제 1 도전형의 웰 영역들을 포함하여 구성되는 것을 특징으로 하고, 본 발명에 따른 반도체 소자의 제조 방법은 제 1 도전형의 반도체 기판을 준비하는 단계;상기 반도체 기판을 칩 형성 영역들과 상기 칩 형성 영역들을 개별화하는 공정시에 분리 영역을 사용되는 스크라이브 라인 영역으로 정의하는 단계;상기 스크라이브 라인 영역을 제외한 모든 칩 형성 영역이 오픈되도록 마스크를 형성하는 단계;상기 마스크를 이용하여 칩 형성 영역

에 제 2 도전형의 딥 웰 영역을 형성하는 단계;상기 마스크를 제거하고 상기 딥 웰 영역 내에 제 2 도전형의 웰 영역 및 제 1 도전형의 웰 영역을 선택적으로 형성하는 단계를 진행한후에 후속 공정을 진행하는 것을 특징으로 한다.

<31> 이하, 첨부된 도면을 참고하여 본 발명에 따른 반도체 소자 및 그의 제조 방법에 관하여 상세히 설명하면 다음과 같다.

<32> 도 2는 본 발명에 따른 칩 격리 방법을 적용하기 위한 웨이퍼 평면 구성도이고, 도 3은 본 발명에 따른 반도체 소자의 구조 및 플라즈마 차징에 의한 전류 경로를 나타낸 단면도이다.

<33> 먼저, 웨이퍼(21)는 평면 구성에서 보면 실제 소자가 형성되는 칩 형성 영역(23)과 상기 칩 형성 영역(23)들을 개별화하는 공정시에 절단 영역이 되는 스크라이브 라인 영역(22)으로 크게 나누어진다.

<34> 본 발명에 따른 반도체 소자는 이와 같이 나누어진 웨이퍼(21)의 칩 형성 영역(23)에 딥 웰 영역을 형성하여 플라즈마 차징 데미지를 억제한 것으로 단면 구성은 다음과 같다.

<35> 도 3에서와 같이, 제 1 도전형 예를들면, p형의 반도체 기판(29)에 정의된 칩 형성 영역들(Chip1)(Chip2)(Chip3)사이에 스크라이브 라인 영역(22)이 구성되고 각각의 칩 형성 영역들에는 제 2 도전형 예를들면, 딥 n형 웰(27)이 형성된다.

<36> 그리고 상기 딥 n형 웰(27) 영역내에 p형 웰(25) 및 n형 웰(26)이 형성된다.

<37> 이와 같이 스크라이브 라인 영역(22)을 제외한 칩 형성 영역(23)의 전체에 기판과 반대 도전형의 딥 웰 영역이 형성되어 후속되는 플라즈마 장비를 이용한 공정시에 플라

즈마의 전계 불안정에 따른 플라즈마 차징 데미지 효과가 억제된다.

<38> 즉, 플라즈마(24)가 웨이퍼(21)에 인접하게 되는 경우 스크라이브 레인 영역(22)은 기판과 동일 도전형이고 칩 형성 영역(23)의 모든 둘레에 형성되어 있어 각각의 딥 n형 웰(27) 영역들은 서로 격리되고 또한, 딥 n형 웰(27) 영역내에 형성되는 p형 웰(25) 영역과 n형 웰(26) 영역은 서로 분리 형성되어 있어 각각의 칩 형성 영역(23)들간에는 모든 방향에서 역방향 pn 접합이 형성되어 차단된 전류 경로(28)만이 존재하게 된다.

<39> 이와 같은 본 발명에 따른 반도체 소자의 형성 공정은 제 1 도전형 예를들면 p형의 반도체 기판(29)을 준비하여 상기 반도체 기판(29)을 칩 형성 영역(23)들과 상기 칩 형성 영역(23)들을 개별화하는 공정시에 분리 영역을 사용되는 스크라이브 레인 영역(22)으로 정의한다.

<40> 이어, 상기 스크라이브 레인 영역(22)을 제외한 모든 칩 형성 영역(23)이 오픈되도록 마스크(도면에 도시하지 않음)를 형성한다.

<41> 그리고 상기 마스크를 이용하여 칩 형성 영역(23)에 제 2 도전형 예를들면, n형의 불순물을 주입하여 딥 n형 웰(27) 영역을 형성한다.

<42> 이어, 상기 마스크를 제거하고 상기 딥 n형 웰(27) 영역내에 p형 웰(25)과 n형 웰(26) 영역을 형성한다.

<43> 그리고 상기와 같은 공정으로 칩 형성 영역(23)간의 격리 공정을 진행한후에 후속 공정을 진행한다.

<44> 이와 같은 공정에 의해 본 발명에 따른 반도체 소자는 딥 n형 웰(27)과 p형 반도체 기판(29)에 의한 npn 접합에 의해 각각의 칩 형성 영역(23)들이 전기적으로 격리된다.

- <45> 상기 칩 형성 영역(23)들이 전기적으로 격리된다는 의미는 칩들간에 어느 방향으로
도 전류 경로(current path)가 형성될 수 없다는 것을 뜻한다.
- <46> 도 3의 차단된 전류 경로(28)는 n형 웰(26) ↔ p형 웰(27) ↔ p형 반도체 기판
(29) ↔ p형 웰(27) ↔ n형 웰(26)로 이루어진 전류 경로를 나타내고 있는데, npn의 접
합 구조를 갖고 있어 어느 방향으로나 역방향 pn 접합을 포함하므로 전류가 흐를 수 없
다.
- <47> 즉, 웰들간의 어떤 조합의 경우에도 전류 경로가 형성되지 않는다.
- <48> 따라서, 웨이퍼 단위(wafer level)의 플라즈마 차지의 불균일이 존재한다하여도 서
로 이웃하는 칩들간에는 플라즈마 전류가 웨이퍼의 서브스트레이트를 통하여는 흐를 수
가 없다.
- <49> 그러므로 플라즈마 차징 데미지 효과에 의한 게이트 산화막의 열화는 없다.
- <50> 물론, 칩 단위(chip level)의 플라즈마 차지의 불균일은 존재할 수 있어 이에 의한
데미지가 있을 수 있다.
- <51> 그러나 통상적으로 한 칩내에서는 각각의 트랜지스터들이 지리적으로 가까이 위치
하고 있으므로 이들 게이트들에 쌓이는 전하 밀도의 차이는 서로 다른 칩들에 위치하는
트랜지스터간의 게이트 전하 밀도의 차이에 비해 상대적으로 매우 작다.
- <52> 그러므로 칩 레벨에서의 플라즈마 차지의 불균일에 의한 데미지는 크지 않다.

【발명의 효과】

- <53> 이와 같은 본 발명에 따른 반도체 소자 및 그의 제조 방법은 다음과 같은 효과가
있다.

- <54> 서로 다른 칩 형성 영역에 존재하는 웰들 간에 플라즈마 차지의 불균일에 의한 전류 경로를 차단하여 소자 제조 공정중에 플라즈마에 의한 차지에 의해 게이트 산화막의 열화를 막는다.
- <55> 이는 게이트 산화막이 절연체로서 갖는 특성을 그대로 유지시켜 소자의 신뢰성을 높이는 효과가 있다.
- <56> 또한, 게이트 산화막의 파괴에 의한 수율 저하를 막아 생산성을 높이고 플라즈마 데미지를 막기 위한 보호 다이오드(protection diode)를 사용하지 않으므로 칩의 집적도를 높인다.

【특허청구범위】**【청구항 1】**

제 1 도전형의 반도체 기판;

상기 반도체 기판에 형성되는 칩들의 개별화 공정시에 그 분리 영역이 되는 스크라이브 레인 영역;

상기 스크라이브 레인 영역을 제외한 칩 형성 영역들의 전체에 형성되는 제 2 도전형의 딥 웰 영역;

상기 딥 웰 영역내에 형성되는 제 2 도전형의 웰 영역 또는 제 1 도전형의 웰 영역들을 포함하여 구성되는 것을 특징으로 하는 반도체 소자.

【청구항 2】

제 1 항에 있어서, 스크라이브 레인 영역과 딥 웰 영역에 의해 각각의 칩 형성 영역들간에는 모든 방향에서 역방향 pn 접합이 형성되어 전류 경로가 차단되는 것을 특징으로 하는 반도체 소자.

【청구항 3】

제 1 항에 있어서, 각각의 딥 웰 영역들은 스크라이브 레인 영역에 의해 각각 격리되는 것을 특징으로 하는 반도체 소자.

【청구항 4】

제 1 도전형의 반도체 기판을 준비하는 단계;

상기 반도체 기판을 칩 형성 영역들과 상기 칩 형성 영역들을 개별화하는 공정시에 분리 영역을 사용되는 스크라이브 레인 영역으로 정의하는 단계;

상기 스크라이브 레인 영역을 제외한 모든 칩 형성 영역이 오픈되도록 마스크를 형성하는 단계;

상기 마스크를 이용하여 칩 형성 영역에 제 2 도전형의 딥 웰 영역을 형성하는 단계;

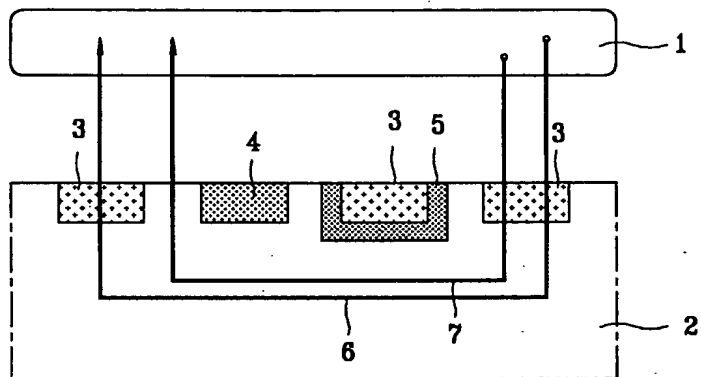
상기 마스크를 제거하고 상기 딥 웰 영역내에 제 2 도전형의 웰 영역 및 제 1 도전형의 웰 영역을 선택적으로 형성하는 단계를 진행한후에 후속 공정을 진행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

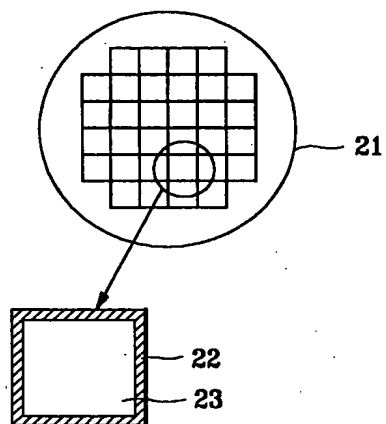
제 4 항에 있어서, 플라즈마 장비를 이용한 후속 공정 진행시에 스크라이브 레인 영역과 딥 웰 영역에 의해 각각의 칩 형성 영역들간에는 모든 방향에서 역방향 pn 접합이 형성되어 전류 경로가 차단되도록 하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

【도 1】



【도 2】



【도 3】

